

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Hirofumi WATATANI

Serial Number: Not Yet Assigned

Filed: October 16, 2003

Customer No.: 38834

For: MICRO PATTERN FORMING METHOD AND SEMICONDUCTOR DEVICE
MANUFACTURING METHOD

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

October 16, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-304015, filed on October 18, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Atty. Docket No.: 032015
1250 Connecticut Ave, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
SMD/II

Scott M. Daniels
Reg. No. 32,562

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年10月18日

出願番号

Application Number: 特願2002-304015

[ST.10/C]:

[J P 2002-304015]

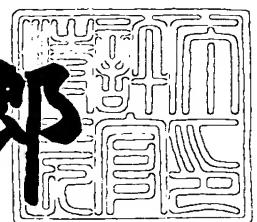
出願人

Applicant(s): 富士通株式会社

2003年 6月 9日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3044534

【書類名】 特許願
【整理番号】 0240991
【提出日】 平成14年10月18日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/027
【発明の名称】 微細パターンの形成方法及び半導体装置の製造方法
【請求項の数】 10
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 緋谷 宏文
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【代理人】
【識別番号】 100091340
【弁理士】
【氏名又は名称】 高橋 敬四郎
【電話番号】 03-3832-8095
【選任した代理人】
【識別番号】 100105887
【弁理士】
【氏名又は名称】 来山 幹雄
【電話番号】 03-3832-8095
【手数料の表示】
【予納台帳番号】 009852
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【包括委任状番号】 0109607

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 微細パターンの形成方法及び半導体装置の製造方法

【特許請求の範囲】

【請求項1】 下地基板の表面上に、吸収モードにより反射を抑制する第1の反射防止膜を形成する工程と、

前記第1の反射防止膜の上に、減殺的干渉モードにより反射を抑制する第2の反射防止膜を形成する工程と、

前記第2の反射防止膜の上に、キャップ膜を形成する工程と、

前記キャップ膜の上に、感光性レジスト膜を形成する工程と、

前記感光性レジスト膜を、第1の波長の光で露光して潜像を形成する工程と、

露光された前記レジスト膜を現像する工程と

を有する微細パターンの形成方法。

【請求項2】 前記第1の波長における前記キャップ膜の減衰係数が、前記第2の反射防止膜の減衰係数よりも小さい請求項1に記載の微細パターンの形成方法。

【請求項3】 前記第1の波長における前記キャップ膜の減衰係数が0である請求項1または2に記載の微細パターンの形成方法。

【請求項4】 前記第1の波長における前記第1の反射防止膜の減衰係数が1以上である請求項1～3のいずれかに記載の微細パターンの形成方法。

【請求項5】 前記第1の波長における前記第2の反射防止膜の減衰係数が0.9以下である請求項1～4のいずれかに記載の微細パターンの形成方法。

【請求項6】 半導体素子が形成され、絶縁性表面の一部に導電性部材が露出した基板の表面上に層間絶縁膜を形成する工程と、

前記層間絶縁膜の上に、第1の減衰係数を有する第1の反射防止膜を形成する工程と、

前記第1の反射防止膜の上に、前記第1の減衰係数よりも小さい第2の減衰係数を有する第2の反射防止膜を形成する工程と、

前記第2の反射防止膜の上に、キャップ膜を形成する工程と、

前記キャップ膜の上に、第1の感光性レジスト膜を形成する工程と、

前記第1の感光性レジスト膜を第1の波長の光で露光し、現像して、該第1の感光性レジスト膜に開口を形成する工程と、

前記第1の感光性レジスト膜をマスクとして、前記層間絶縁膜をエッチングする工程と
を有する半導体装置の製造方法。

【請求項7】 前記第1の波長における前記キャップ膜の減衰係数が、前記第2の反射防止膜の減衰係数よりも小さい請求項6に記載の半導体装置の製造方法。

【請求項8】 前記第1の波長における前記キャップ膜の減衰係数が0である請求項6または7に記載の半導体装置の製造方法。

【請求項9】 前記第1の波長における前記第1の反射防止膜の減衰係数が1以上である請求項6～8のいずれかに記載の半導体装置の製造方法。

【請求項10】 前記第1の波長における前記第2の反射防止膜の減衰係数が0.9以下である請求項6～9のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、微細パターンの形成方法及び半導体装置の製造方法に関し、特に反射防止膜上に感光性レジスト膜を形成し、露光及び現像を行って微細パターンを形成する方法、及び微細パターンを用いて半導体装置を製造する方法に関する。

【0002】

【従来の技術】

図8を参照して、従来のデュアルダマシン法を用いた銅配線の形成方法を説明する。

【0003】

図8(A)に示すように、半導体基板上の層間絶縁膜100の表層部に形成された配線溝内に銅配線101が埋めこまれている。層間絶縁膜100の上に、銅の拡散を防止する拡散防止膜102を形成する。その上に、層間絶縁膜103、エッチングストップ膜104、層間絶縁膜105、反射防止膜106を順番に積

層する。反射防止膜106の上に、レジスト膜107を形成する。レジスト膜107を露光、現像し、ビアホールに対応した開口107aを形成する。

【0004】

反射防止膜106の材料として、減衰係数kが1より大きいものが使用される。これにより、下層からの露光光の反射量のばらつきによる影響を軽減し、レジスト膜107を制御性よくパターニングすることができる。

【0005】

図8 (B) に示すように、レジスト膜107をマスクとして、反射防止膜106から層間絶縁膜103の底面までエッチングし、ビアホール110を形成する。

【0006】

図8 (C) に示すように、レジスト膜107を除去する。その後、エッチングストップ膜104の上面まで達する配線溝を形成する。ビアホール110の底面に残っている拡散防止膜102を除去して、銅配線101を露出させる。配線溝とビアホール110内を銅で埋め込むことにより、銅配線が形成される。

【0007】

ビアホール110の直径が0.3 μ m以上であれば、上記方法でビアホール110を形成することができる。ところが、ビアホール110の直径がそれ以下になると、レジスト膜107内に発生する定在波の影響により、ビアホール用の微細な開口を形成することが困難である。

【0008】

図9を参照して、特許文献1に記載された露光方法について説明する。図9 (A) に示した層間絶縁膜100から反射防止膜106までの積層構造は、図8 (A) に示したものと同一である。図9 (A) の従来例においては、反射防止膜106の上に、第2層目の反射防止膜120が形成されている。図9 (B) に示すように、第2層目の反射防止膜120の上にレジスト膜121が形成され、このレジスト膜121の露光及び現像が行われる。

【0009】

第1層目の反射防止膜106は吸収モードで用いられる。吸収モードでは、露

光光を吸収することによってレジスト膜に戻る散乱光を少なくし、好ましくない露光が回避される。

【0010】

第2層目の反射防止膜120は、減殺的干渉モードで用いられる。減殺的干渉モードでは、反射防止膜の底面で反射した反射光と、上面で反射した反射光との位相をずらせることにより、レジスト膜に戻る反射光が弱められる。

【0011】

吸収モードで用いられる反射防止膜と、減殺的干渉モードで用いられる反射防止膜とを積層することにより、レジスト膜に戻る反射光を弱め、微細なパターンを形成することが可能になる。

【0012】

【特許文献1】

特開2000-195791号公報

【0013】

【発明が解決しようとする課題】

現実の生産工程では、レジスト膜のパターニングを行う際に、常に期待どおりの大きさの開口が形成できるとは限らない。現像後の開口の大きさが設計値からずれている場合には、レジスト膜をアッシングにより除去し、再度レジストを塗布する。

【0014】

レジスト膜のアッシング時に、第2層目の反射防止膜120の表層部が、酸化等によって変質する。反射防止膜120の表層部が変質すると、所望の反射率低減効果が得られなくなる。このため、最適露光量が設計値からずれてしまう。

【0015】

本発明の目的は、レジスト膜をアッシングして再度レジスト塗布を行っても、当初の反射率低減効果を得ることができる微細パターン形成方法を提供することである。

【0016】

本発明の他の目的は、上記方法で形成した微細パターンを利用して半導体装置

を製造する方法を提供することである。

【0017】

【課題を解決するための手段】

本発明の一観点によると、下地基板の表面上に、吸収モードにより反射を抑制する第1の反射防止膜を形成する工程と、前記第1の反射防止膜の上に、減殺的干渉モードにより反射を抑制する第2の反射防止膜を形成する工程と、前記第2の反射防止膜の上に、キャップ膜を形成する工程と、前記キャップ膜の上に、感光性レジスト膜を形成する工程と、前記感光性レジスト膜を、第1の波長の光で露光して潜像を形成する工程と、露光された前記レジスト膜を現像する工程とを有する微細パターンの形成方法が提供される。

【0018】

本発明の他の観点によると、半導体素子が形成され、絶縁性表面の一部に導電性部材が露出した基板の表面上に層間絶縁膜を形成する工程と、前記層間絶縁膜の上に、第1の減衰係数を有する第1の反射防止膜を形成する工程と、前記第1の反射防止膜の上に、前記第1の減衰係数よりも小さい第2の減衰係数を有する第2の反射防止膜を形成する工程と、前記第2の反射防止膜の上に、キャップ膜を形成する工程と、前記キャップ膜の上に、第1の感光性レジスト膜を形成する工程と、前記第1の感光性レジスト膜を第1の波長の光で露光し、現像して、該第1の感光性レジスト膜に開口を形成する工程と、前記第1の感光性レジスト膜をマスクとして、前記層間絶縁膜をエッチングする工程とを有する半導体装置の製造方法が提供される。

【0019】

第1及び第2の反射防止膜により、反射率を低減させ、感光性レジスト膜に極微細な開口を形成することができる。レジスト膜を除去する時に、キャップ膜が上側反射防止膜を保護する。露光不良のためにレジスト膜を除去し、再度、レジスト膜の形成、露光、及び現像を行う場合にも、設計通りの反射防止効果を得ることができる。

【0020】

【発明の実施の形態】

図1～図5を参照して、第1の実施例による半導体装置の製造方法について説明する。

【0021】

図1 (A) に示すように、シリコンからなる基板1の表面上に、素子分離領域2が形成されている。素子分離領域2は、シリコン局所酸化 (LOCOS) や、シャロートレンチアイソレーション (STI) により形成される。素子分離領域2で囲まれた活性領域上に、ゲート電極3G、ソース領域3S、及びドレイン領域3Dを含むMOSFET3が形成されている。ゲート電極3Gの上に、上部絶縁膜3Iが形成されており、ゲート電極3G及び上部絶縁膜3Iからなる積層構造の側面上に、サイドウォールスペーサ3Wが形成されている。MOSFET3は、周知の成膜、フォトリソグラフィ、エッチング、イオン注入等の工程を経て形成される。

【0022】

基板1の表面上に、MOSFET3を覆うように、炭化シリコン (SiC) からなるエッチングストップ膜5を形成する。エッチングストップ膜5の上に、フオスフォシリケートガラス (PSG) からなる厚さ30nmの層間絶縁膜6を、化学気相成長 (CVD) により形成する。ソース領域3S及びドレイン領域3Dに対応する位置に、層間絶縁膜6及びエッチングストップ膜5を貫通するピアホールを形成する。ピアホールの内面を、チタン (Ti)、窒化チタン (TiN)、または窒化タンタル (TaN) 等のバリアメタル層8で覆い、内部にタングステン (W) プラグ9を埋め込む。バリアメタル層8及びタングステンプラグ9は、成膜と化学機械研磨 (CMP) により形成することができる。

【0023】

層間絶縁膜6の上に、SiCからなる厚さ50nmのエッチングストップ膜10、フルオロシリケートガラス (FSG) からなる厚さ250nmの層間絶縁膜11、及び酸化シリコン (SiO₂) からなる厚さ150nmのキャップ膜12を、この順番に形成する。

【0024】

キャップ膜12から層間絶縁膜6の上面まで達する配線溝を形成する。配線溝

の底面に、タングステンプラグ9の上面が露出する。配線溝の内面を、TiNまたはTaNからなるバリアメタル層14で覆い、内部に銅を埋め込み、配線15を形成する。バリアメタル層14と配線15は、成膜とCMPにより形成される。ここまでで、第1層目の配線が形成される。この段階で、基板の表面にキャップ膜12からなる絶縁領域が露出し、一部に配線15からなる導電性領域が露出している。

【0025】

以下の、図2～図5では、図1(A)の層間絶縁膜11及びその下の層については、記載を簡略化している。

図2(B)に示すように、配線15を含む第1層目の配線層の上に、SiCからなる厚さ70nmの拡散防止膜20、SiO₂からなる厚さ500nmの層間絶縁膜21、SiCからなる厚さ70nmのエッチングストップ膜22、SiO₂からなる厚さ400nmの層間絶縁膜23を、プラズマCVDにより形成する。

【0026】

層間絶縁膜23の上に、窒化シリコン(SiN)からなる厚さ30nmの下側反射防止膜25をプラズマCVDにより形成する。下側反射防止膜25は、シリコン(SiH₄)、アンモニア(NH₃)、窒素(N₂)ガスの流量をそれぞれ260sccm、240sccm、及び900sccmとし、プラズマ容器内の圧力約330Pa(2.5Torr)、入力高周波電力120Wの条件で成膜される。この条件で形成されたSiN膜の、KrFエキシマレーザの波長における減衰係数は約1.4になる。

【0027】

下側反射防止膜25の上に、SiNからなる厚さ20nmの上側反射防止膜26をプラズマCVDにより形成する。上側反射防止膜26は、SiH₄、NH₃、N₂ガスの流量をそれぞれ155sccm、940sccm、及び900sccmとし、プラズマ容器内の圧力約470Pa(3.5Torr)、入力高周波電力100Wの条件で成膜される。この条件で形成されたSiN膜の、KrFエキシマレーザの波長における減衰係数は約0.6になる。

【0028】

上側反射防止膜26の上に、 SiO_2 からなる厚さ10nmのキャップ膜27を、プラズマCVDにより形成する。キャップ膜27は、 SiH_4 、 N_2O 、 N_2 ガスの流量をそれぞれ32sccm、480sccm、及び4500sccmとし、プラズマ容器内の圧力約600Pa(4.5Torr)、入力高周波電力320Wの条件で成膜される。この条件で形成された SiO_2 膜の、KrFエキシマレーザの波長における減衰係数はほぼ0である。

【0029】

キャップ膜27の表面に、KrF用レジスト材料をスピンドル塗布し、レジスト膜30を形成する。KrFエキシマレーザを用いてレジスト膜30を露光し、現像して、ピアホール形成用の開口30aを形成する。

【0030】

下側反射防止膜25は、吸収モードにより露光光の反射を防止する。上側反射防止膜26は、減殺的干渉モードにより、露光光の反射を防止する。この2層の反射防止膜により露光光の反射が防止されるため、反射防止膜よりも下の各層の膜厚のばらつき等に起因する反射率のばらつきの影響を軽減し、極微細な開口を再現性よく形成することが可能になる。

【0031】

レジスト膜30に開口30aを形成した後、所望の大きさの開口30aが形成されているか否かを検査する。開口30aの大きさが許容範囲から外れている場合には、レジスト膜30を、酸素プラズマを用いたアッシングにより除去し、再度、レジスト材料の塗布、露光、及び現像を行う。

【0032】

レジスト膜30の除去時に、上側反射防止膜26がキャップ膜27で覆われているため、上側反射防止膜26の変質を防止することができる。このため、再露光時にも、設計どおりの反射防止効果を得ることができる。

【0033】

図2(C)に示すように、レジスト膜30をマスクとしてエッチングを行い、拡散防止膜20の上面まで達するピアホール32を形成する。このエッチングは

、エッティングガスとして C_4F_6 を用いたドライエッティングにより行うことができる。反射防止膜20がエッティングストップ膜として働く。

【0034】

図2 (D) に示すように、レジスト膜30をアッシングすることにより除去する。この時、キャップ膜27が上側反射防止膜26を保護しているため、上側反射防止膜26の変質を防止することができる。

【0035】

図3 (E) に示すように、ピアホール32の底面を保護部材35で覆う。保護部材35は、全面にレジスト材料等の樹脂を塗布した後、樹脂層をエッチバックすることにより形成することができる。樹脂層のエッチバックは、例えばエッティングガスとして O_2 を用いて行うことができる。保護部材35の上面が、拡散防止膜20とエッティングストップ膜22との間に位置するように、エッチバック量を制御する。

【0036】

図3 (F) に示すように、キャップ膜27の上に、KrF用レジスト材料をスピン塗布してレジスト膜37を形成する。レジスト膜37を露光、現像し、第2層目の配線パターンに対応する開口37aを形成する。

【0037】

開口37aの幅が許容範囲内に収まっているか否かを検査する。開口37aの幅が許容範囲から外れている場合には、レジスト膜37及び保護部材35を、酸素プラズマを用いたアッシング、及びウェット系の後処理を行うことにより、取り除く。ウェット系の後処理液として、例えば弗化アンモニウムを用いる。その後、再度、保護部材35の形成、レジスト膜37の形成、露光、及び現像を行う。この時も、上側反射防止膜26がキャップ膜27で覆われているため、再露光時に、設計通りの反射防止効果を得ることができる。

【0038】

図3 (G) に示すように、レジスト膜37をマスクとしてエッティングを行い、エッティングストップ膜22の上面まで達する配線溝38を形成する。このエッティングは、例えば C_4F_6 を用いたドライエッティングにより行うことができる。エッ

チングストップ膜22が配置されているため、配線溝38の深さを容易に制御することができる。ビアホール32内に埋め込まれた保護部材35が配線15を保護しているため、配線溝38を形成する時に第1層目の配線15がダメージを受けることを防止できる。

【0039】

図4 (H) に示すように、キャップ膜27の表面を覆っていたレジスト膜37及び保護部材35を、酸素プラズマを用いてアッシングすることにより除去する。

【0040】

図4 (I) に示すように、ビアホール32の底面に残っていた拡散防止膜20を除去し、第1層目の配線15を露出させる。拡散防止膜20のエッティングは、 C_4F_6 を用いたドライエッティングにより行うことができる。このとき、配線溝38の底面に露出していたエッティングストップ膜22も除去される。

【0041】

層間絶縁膜23の上に形成されていた下側反射防止膜25、上側反射防止膜26、及びキャップ膜27を、 C_4F_6 を用いたドライエッティングにより除去する。

図5 (J) に示すように、ビアホール32の内面、配線溝38の内面、及び層間絶縁膜23の上面を覆うように、タンタル (Ta) からなる厚さ20nmのバリアメタル層40をスパッタリングにより形成する。さらに、銅のシード層を形成し、銅めっきを行う。ビアホール32及び配線溝38内を埋め込む銅膜41が形成される。

【0042】

図5 (K) に示すように、余分な銅膜41及びバリアメタル層40をCMPにより除去し、ビアホール32内及び配線溝38内に配線41を残す。

図5 (L) に示すように、配線41を含む第2層目の配線層の上に、SiCからなる拡散防止膜45を形成する。第2層目の配線層の形成と同様の方法により、第3層目以上の配線層を形成することができる。

【0043】

上記第1の実施例では、上側反射防止膜26の上に、キャップ膜27が配置さ

れているため、一旦形成したレジスト膜をアッシングにより除去して、再露光を行う場合に、上側反射防止膜26の変質を防止することができる。このため、再露光時にも、初期の反射防止効果と同等の効果を得ることができる。

【0044】

キャップ膜27は、レジスト膜のアッシングの環境に晒されても、光学定数が変化しにくい材料で形成することが好ましい。例えば、上側反射防止膜26の減衰係数よりも小さな減衰係数を有する材料で形成することが好ましい。理想的には、露光光の波長における減衰係数がほぼ0の材料を用いることが好ましい。このような材料として、 SiO_2 の他に、 SiN や SiC が挙げられる。第1の実施例では、反射防止膜25及び26を、それぞれ減衰係数が1.4及び0.6の SiN で形成したが、成膜条件を調整することにより、 SiN の減衰係数をほぼ0にすることができる。

【0045】

上記第1の実施例では、拡散防止膜20及びエッチングストップ膜22を SiC で形成したが、層間絶縁膜21及び23とエッチング選択比を確保できる他の材料で形成してもよい。例えば、 SiN 等で形成してもよい。また、層間絶縁膜21及び23を、 FSG 、 $SiOC$ 等の無機低誘電率材料、または $SiLK$ （ダウケミカル社の商標）等の有機低誘電率材料で形成してもよい。

【0046】

また、層間絶縁膜21と23との間に、エッチングストップ膜22を挿入しているが、このエッチングストップ膜22を無くしてもよい。この場合には、図3(G)に示した配線溝38を形成する際に、エッチング時間で配線溝38の深さを制御すればよい。

【0047】

また、上記第1の実施例では、反射防止膜25及び26を SiN で形成したが、他の材料で形成してもよい。下側反射防止膜25は、吸収モードによる反射率低減効果を得るために、減衰係数が1以上の材料で形成することが好ましい。上側反射防止膜26は、減殺的干渉モードによる反射率低減効果を得るために、減衰係数が0.9以下の材料で形成することが好ましい。

【0048】

下側及び上側反射防止膜をアモルファスカーボンで形成し、キャップ膜をSiO₂、SiN、またはSiCで形成してもよい。下側及び上側反射防止膜をSiNで形成し、キャップ膜をSiO₂、SiN、またはSiCで形成してもよい。下側及び上側反射防止膜を酸化窒化シリコン(SiOC)で形成し、キャップ膜をSiO₂、SiN、またはSiCで形成してもよい。下側反射防止膜、上側反射防止膜、及びキャップ膜の材料が同じであっても、これらの膜の成膜条件を制御することにより、各膜の減衰係数を所望の値にすることができる。

【0049】

上記第1の実施例では、露光及び現像の検査結果に基づいて再露光を行うか否かに係わらず、図2(C)に示したビアホール32を形成した後、レジスト膜30が除去され、図3(G)に示した配線溝38を形成するためのレジスト膜37の露光が行われる。このため、第1の実施例によるデュアルダマシン法で銅配線を形成する場合には、露光不良による再露光を行うか否かに係わらず、キャップ膜27を配置する効果が期待できる。

【0050】

上記第1の実施例では、デュアルダマシン法によって銅配線を作製する方法を説明したが、シングルダマシン法によって図1の第1層目の銅配線15を作製する場合にも、上記第1の実施例の下側反射防止膜25、上側反射防止膜26、及びキャップ膜27を適用することが可能である。

【0051】

次に、図6及び図7を参照して、第2の実施例による半導体装置の製造方法について説明する。

図6(A)に示すように、シリコンからなる半導体基板50の表面上に、SiO₂からなる厚さ10nmのライナー膜51を、熱酸化により形成する。ライナー膜51の上に、SiNからなる厚さ100nmのマスク膜52を、CVDにより形成する。

【0052】

マスク膜52の上に、減衰係数1.4のアモルファスカーボンからなる厚さ3

0 nmの下側反射防止膜53、減衰係数0.6のアモルファスカーボンからなる上側反射防止膜54、及び実質的に減衰係数が0のSiO₂からなるキャップ膜55を順番に形成する。キャップ膜55の上に、ArFエキシマレーザ用のレジスト膜56を形成する。レジスト膜56の露光、現像を行い、形成すべき素子分離絶縁領域に対応する開口56aを形成する。なお、下側反射防止膜53及び上側反射防止膜54の減衰係数は、ArFエキシマレーザの波長198nmにおけるものである。

【0053】

所望の大きさの開口56aが形成されなかった場合には、レジスト膜56をアッティングにより除去し、再度レジスト膜の形成、露光、及び現像を行う。このとき、キャップ膜55が、上側反射防止膜54を保護しているため、上側反射防止膜54の光学定数を初期状態に保つことができる。このため、再露光時にも、設計通りの露光条件で安定した露光を行うことができる。

【0054】

図6 (B) に示すように、レジスト膜56をマスクとしてキャップ膜55から下側反射防止膜53までの3層をドライエッティングする。このエッティング時にレジスト膜56の表層部もエッティングされて薄くなる。残っているレジスト膜56を除去する。

【0055】

図6 (C) に示すように、反射防止膜53、54及びキャップ膜55をマスクとして、マスク膜52及びライナー膜51をエッティングする。ArFエキシマレーザ用のレジスト膜とSiN膜とのエッティング選択比が小さい場合であっても、反射防止膜53、54及びキャップ膜55をハードマスクとして用いることにより、その下のマスク膜52をパターニングすることができる。

【0056】

図7 (D) に示すように、マスク膜52をマスクとして、半導体基板50の表層部をエッティングしてシャロートレンチ60を形成する。

図7 (E) に示すように、マスク膜52及びライナー膜51を除去する。シャロートレンチ60内を埋め込むように酸化シリコン膜を堆積させ、CMPを行う

ことにより、シャロートレンチ60内にSiO₂からなる素子分離絶縁膜61を残す。

【0057】

上記第1の実施例では、ダマシン法による銅配線の形成のための露光及び現像工程について説明し、第2の実施例では、シャロートレンチアイソレーション用のトレンチの形成のための露光及び現像工程について説明した。これらの実施例で用いた下側反射防止膜、上側反射防止膜、及びキャップ膜の3層構造は、その他の露光及び現像工程、例えばゲート電極形成のための露光及び現像工程に適用することも可能である。

【0058】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0059】

上述の実施例から、以下の付記に示された発明が導出される。

（付記1） 下地基板の表面上に、吸収モードにより反射を抑制する第1の反射防止膜を形成する工程と、

前記第1の反射防止膜の上に、減殺的干渉モードにより反射を抑制する第2の反射防止膜を形成する工程と、

前記第2の反射防止膜の上に、キャップ膜を形成する工程と、

前記キャップ膜の上に、感光性レジスト膜を形成する工程と、

前記感光性レジスト膜を、第1の波長の光で露光して潜像を形成する工程と、

露光された前記レジスト膜を現像する工程と

を有する微細パターンの形成方法。

【0060】

（付記2） 前記第1の波長における前記キャップ膜の減衰係数が、前記第2の反射防止膜の減衰係数よりも小さい付記1に記載の微細パターンの形成方法。

（付記3） 前記第1の波長における前記キャップ膜の減衰係数が0である付記1または2に記載の微細パターンの形成方法。

【0061】

(付記4) 前記第1の波長における前記第1の反射防止膜の減衰係数が1以上である付記1～3のいずれかに記載の微細パターンの形成方法。

(付記5) 前記第1の波長における前記第2の反射防止膜の減衰係数が0.9以下である付記1～4のいずれかに記載の微細パターンの形成方法。

【0062】

(付記6) 半導体素子が形成され、絶縁性表面の一部に導電性部材が露出した基板の表面上に層間絶縁膜を形成する工程と、

前記層間絶縁膜の上に、第1の減衰係数を有する第1の反射防止膜を形成する工程と、

前記第1の反射防止膜の上に、前記第1の減衰係数よりも小さい第2の減衰係数を有する第2の反射防止膜を形成する工程と、

前記第2の反射防止膜の上に、キャップ膜を形成する工程と、

前記キャップ膜の上に、第1の感光性レジスト膜を形成する工程と、

前記第1の感光性レジスト膜を第1の波長の光で露光し、現像して、該第1の感光性レジスト膜に開口を形成する工程と、

前記第1の感光性レジスト膜をマスクとして、前記層間絶縁膜をエッチングする工程と

を有する半導体装置の製造方法。

【0063】

(付記7) 前記第1の波長における前記キャップ膜の減衰係数が、前記第2の反射防止膜の減衰係数よりも小さい付記6に記載の半導体装置の製造方法。

(付記8) 前記第1の波長における前記キャップ膜の減衰係数が0である付記6または7に記載の半導体装置の製造方法。

【0064】

(付記9) 前記第1の波長における前記第1の反射防止膜の減衰係数が1以上である付記6～8のいずれかに記載の半導体装置の製造方法。

(付記10) 前記第1の波長における前記第2の反射防止膜の減衰係数が0.9以下である付記6～9のいずれかに記載の半導体装置の製造方法。

【0065】

(付記11) 半導体素子が形成され、絶縁性表面の一部に導電性部材が露出した基板の表面上に層間絶縁膜を形成する工程と、

前記層間絶縁膜の上に、吸収モードにより反射を抑制する第1の反射防止膜を形成する工程と、

前記第1の反射防止膜の上に、減殺的干渉モードにより反射を抑制する第2の反射防止膜を形成する工程と、

前記第2の反射防止膜の上に、キャップ膜を形成する工程と、

前記キャップ膜の上に、第1の感光性レジスト膜を形成する工程と、

前記第1の感光性レジスト膜を第1の波長の光で露光し、現像して、該第1の感光性レジスト膜に、前記層間絶縁膜上に形成された配線を前記導電性部材に接続するためのピアホールに対応した開口を形成する工程と、

前記第1の感光性レジスト膜をマスクとして、前記層間絶縁膜をエッチングし、ピアホールを形成する工程と、

前記第1の感光性レジスト膜を除去する工程と、

前記キャップ膜の上に、第2の感光性レジスト膜を形成する工程と、

前記第2の感光性レジスト膜を第1の波長の光で露光し、現像して、該第2の感光性レジスト膜に、前記層間絶縁膜上に形成される配線パターンに対応した開口を形成する工程と、

前記第2の感光性レジスト膜をマスクとして、前記層間絶縁膜をエッチングし、該層間絶縁膜の厚さ方向の途中まで達する配線溝を形成する工程と、

前記第2の感光性レジスト膜を除去する工程と、

前記ピアホールの底面に前記導電性部材が露出していない場合には、該導電性部材が露出するまで前記ピアホールを深くする工程と、

前記ピアホール及び配線溝内に、導電性の配線材料を埋め込む工程とを有する半導体装置の製造方法。

【0066】

(付記12) 前記第1の波長における前記キャップ膜の減衰係数が、前記第2の反射防止膜の減衰係数よりも小さい付記11に記載の半導体装置の製造方法

【0067】

(付記13) 前記第1の波長における前記キャップ膜の減衰係数が0である付記11または12に記載の半導体装置の製造方法。

(付記14) 前記第1の波長における前記第1の反射防止膜の減衰係数が1以上である付記11～13のいずれかに記載の半導体装置の製造方法。

【0068】

(付記15) 前記第1の波長における前記第2の反射防止膜の減衰係数が0.9以下である付記11～14のいずれかに記載の半導体装置の製造方法。

【0069】

【発明の効果】

以上説明したように、本発明によれば、減殺的干渉モードによる反射防止膜の上にキャップ膜を配置することにより、その上のレジスト膜を除去する時に反射防止膜が変質することを防止できる。これにより、露光及び現像結果が不良で、レジスト膜を除去して再露光を行う時にも、初期の反射防止効果を得ることができる。

【図面の簡単な説明】

【図1】 第1の実施例による半導体装置の製造方法を説明するための製造途中の装置の断面図（その1）である。

【図2】 第1の実施例による半導体装置の製造方法を説明するための製造途中の装置の断面図（その2）である。

【図3】 第1の実施例による半導体装置の製造方法を説明するための製造途中の装置の断面図（その3）である。

【図4】 第1の実施例による半導体装置の製造方法を説明するための製造途中の装置の断面図（その4）である。

【図5】 第1の実施例による半導体装置の製造方法を説明するための製造途中の装置の断面図（その5）である。

【図6】 第2の実施例による半導体装置の製造方法を説明するための製造途中の装置の断面図（その1）である。

【図7】 第2の実施例による半導体装置の製造方法を説明するための製造途中の装置の断面図（その2）である。

【図8】 従来の半導体装置の製造方法を説明するための製造途中の装置の断面図である。

【図9】 従来の半導体装置の製造方法を説明するための製造途中の装置の断面図である。

【符号の説明】

- 1 半導体基板
- 2、61 素子分離絶縁膜
- 3 MOSFET
- 5、10、22 エッチングストップ膜
- 6、11、21、23 層間絶縁膜
- 12、27、55 キャップ膜
- 14、40 バリアメタル層
- 15、41 配線
- 20、45 拡散防止膜
- 25、53 下側反射防止膜
- 26、54 上側反射防止膜
- 30、37、56 レジスト膜
- 32 ピアホール
- 35 保護部材
- 38 配線溝
- 50 半導体基板
- 51 ライナー膜
- 52 マスク膜
- 60 シャロートレンチ

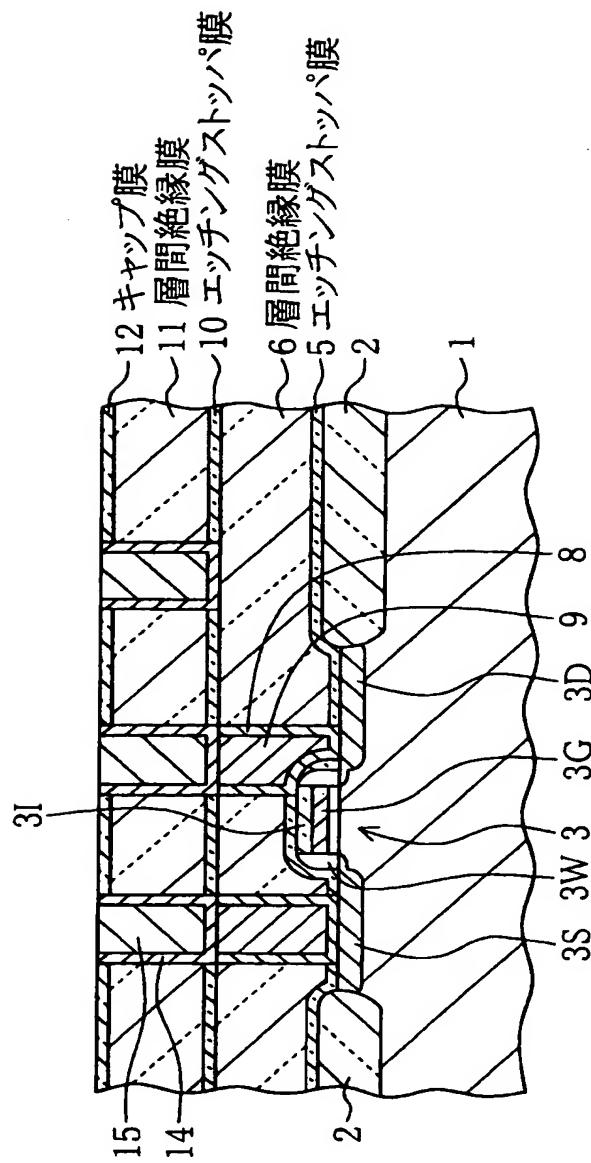
【書類名】

図面

【図1】

第1の実施例（その1）

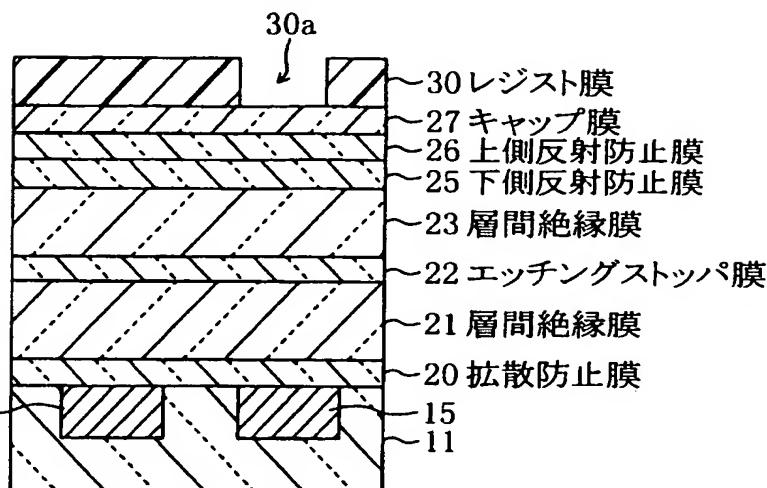
(A)



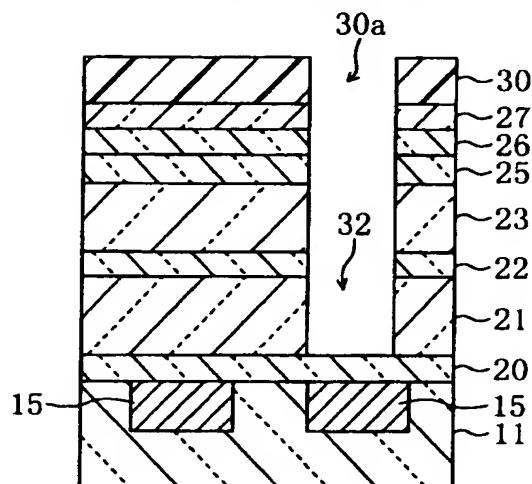
【図2】

第1の実施例（その2）

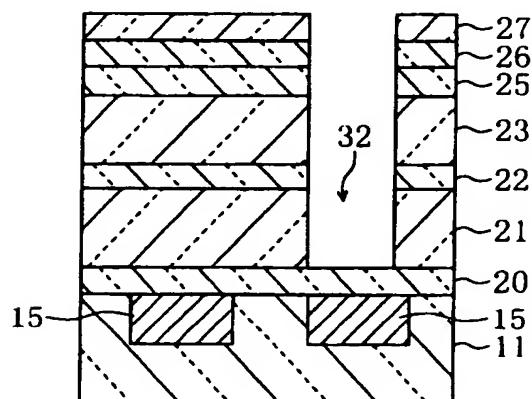
(B)



(C)



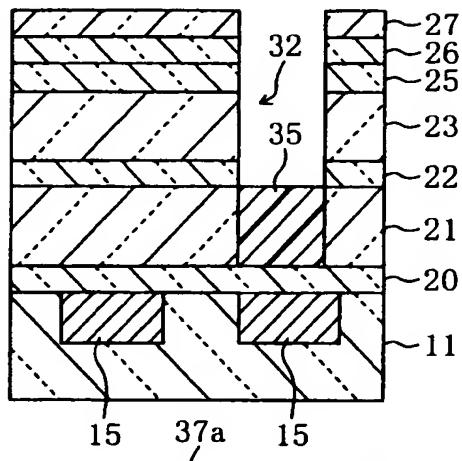
(D)



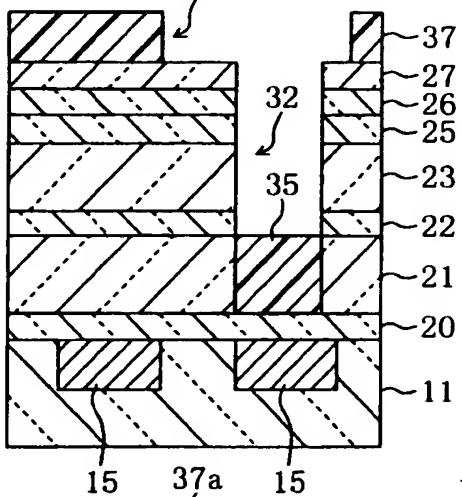
【図3】

第1の実施例（その3）

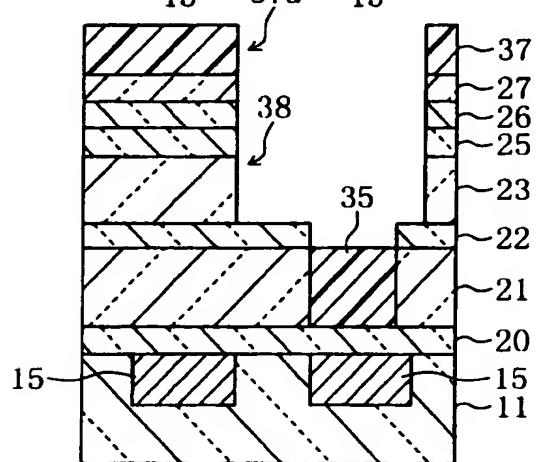
(E)



(F)

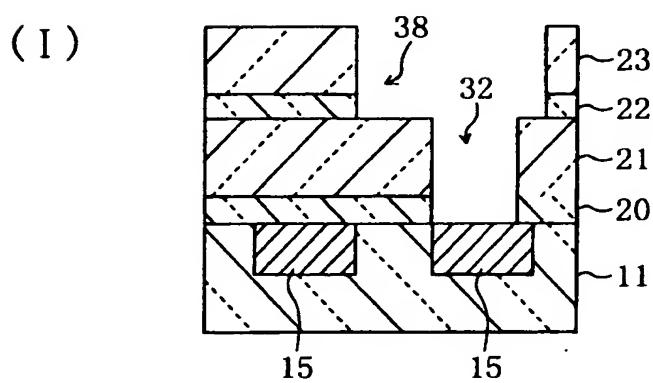
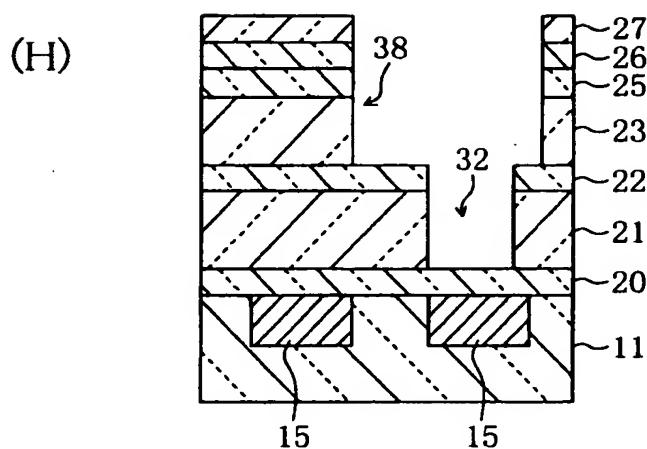


(G)



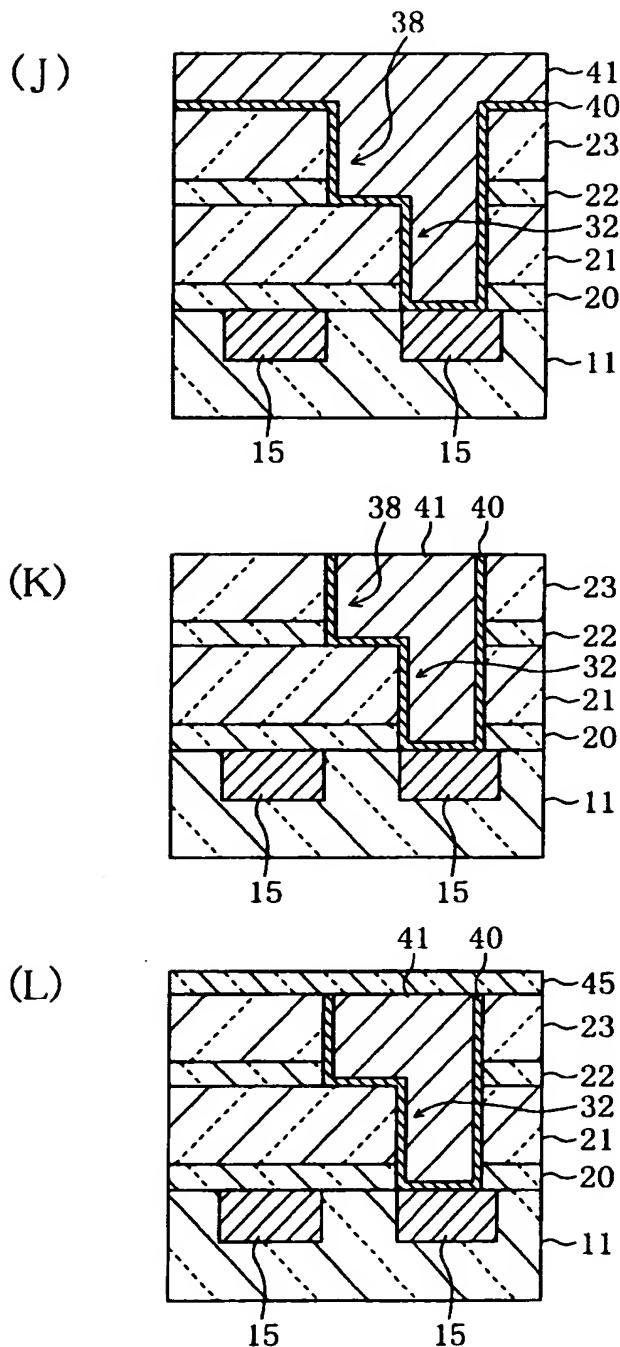
【図4】

第1の実施例（その4）



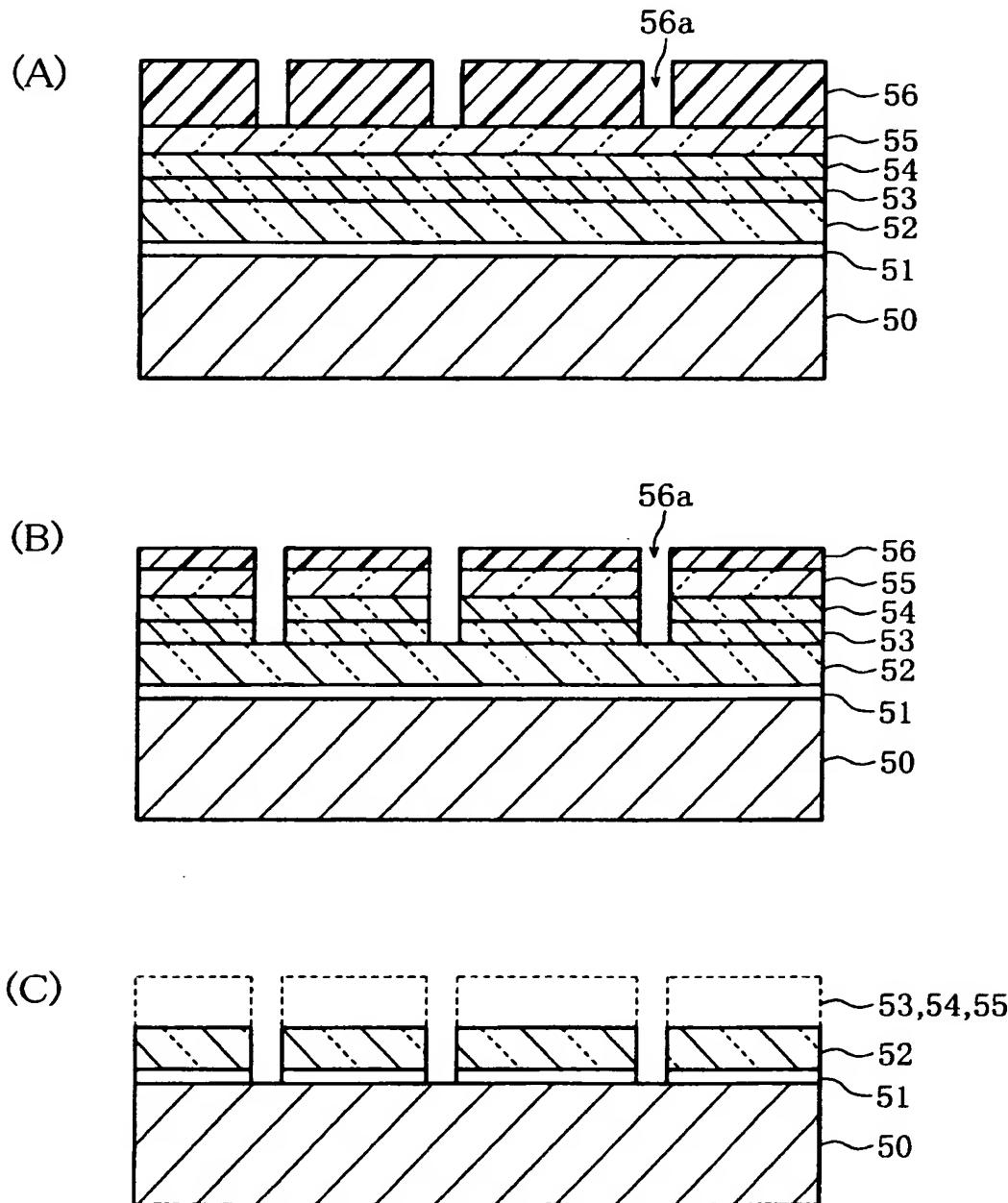
【図5】

第1の実施例 (その5)



【図6】

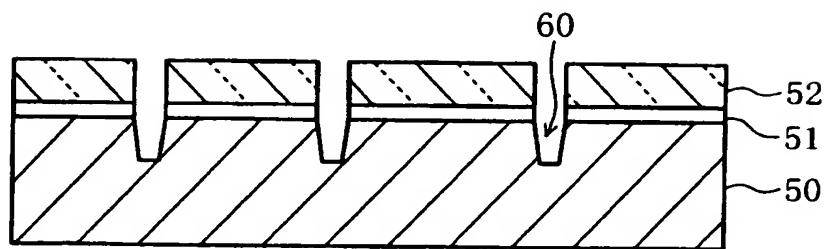
第2の実施例（その1）



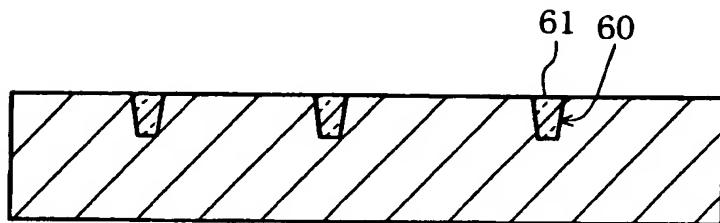
【図7】

第2の実施例 (その2)

(D)

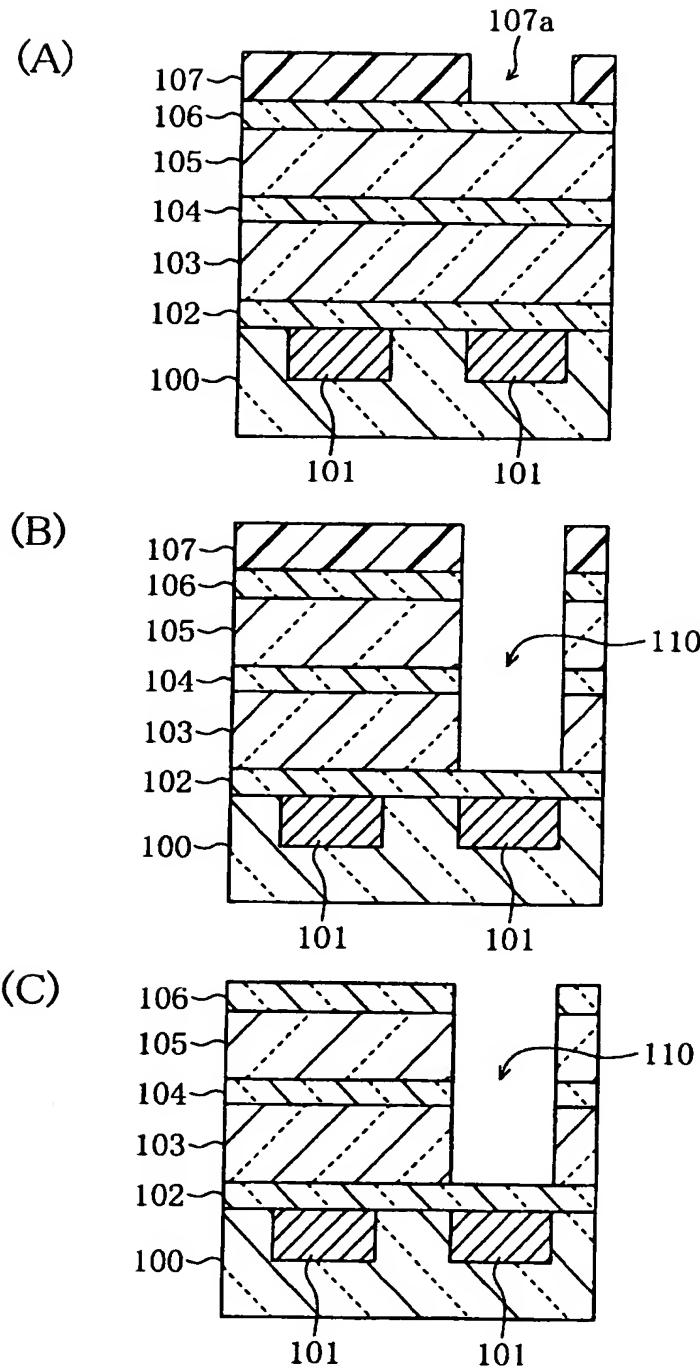


(E)



【図8】

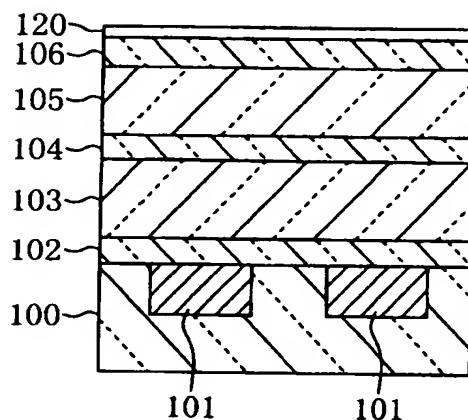
従来例



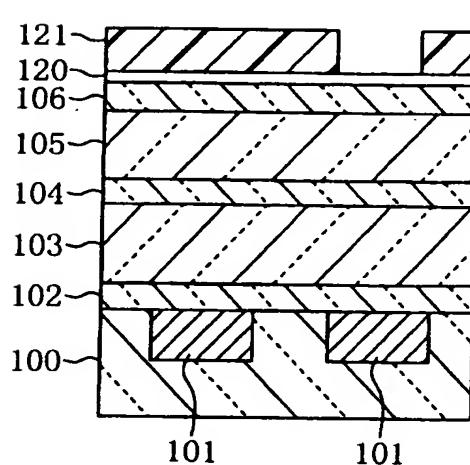
【図9】

従来例

(A)



(B)



【書類名】 要約書

【要約】

【課題】 レジスト膜をアッシングして再度レジスト塗布を行っても、当初の反射率低減効果を得ることができる微細パターン形成方法を提供する。

【解決手段】 下地基板の表面上に、吸収モードにより反射を抑制する第1の反射防止膜を形成する。第1の反射防止膜の上に、減殺的干渉モードにより反射を抑制する第2の反射防止膜を形成する。第2の反射防止膜の上に、キャップ膜を形成する。キャップ膜の上に、感光性レジスト膜を形成する。感光性レジスト膜を、第1の波長の光で露光して潜像を形成する。露光されたレジスト膜を現像する。

【選択図】 図2

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社